

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-196053  
 (43)Date of publication of application : 10.07.2002

(51)Int.CI. G01R 31/319  
 G01R 31/28

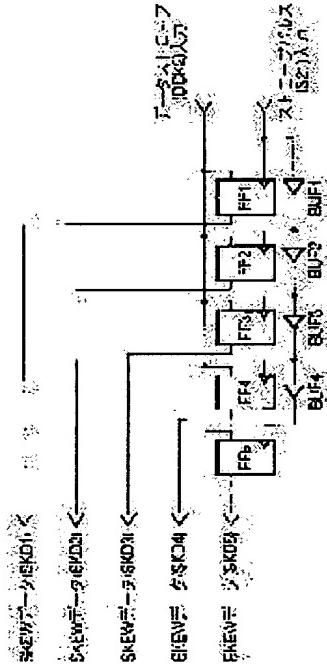
(21)Application number : 2000-393841 (71)Applicant : ANDO ELECTRIC CO LTD  
 (22)Date of filing : 25.12.2000 (72)Inventor : HOTTA AKIRA  
 TERAYAMA CHITOMI

## (54) IC MEASUREMENT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an IC measurement device requiring little time for measuring output timing SKEW of a measured IC.

**SOLUTION:** This IC measurement device is provided with a timing generator outputting a strobe pulse S21 synchronized with a test cycle, delay means BUF1-4 sequentially delaying the strobe pulse S21 for outputting a plurality of strobe pulses mutually different in an edge time, a retaining means FF1-5 retaining data strobes or data conditions at a plurality of times inside a single test cycle on the basis of a plurality of strobe pulses, and a detecting means detecting timing of change in the data strobe or the data condition on the basis of the data strobes or the data conditions at a plurality of times.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-196053

(P2002-196053A)

(43)公開日 平成14年7月10日(2002.7.10)

(51)Int.Cl.<sup>7</sup>  
G 0 1 R 31/319  
31/28

識別記号

F I  
G 0 1 R 31/28

テマコード(参考)  
R 2 G 0 3 2  
H

審査請求 未請求 請求項の数6 OL (全7頁)

(21)出願番号 特願2000-393841(P2000-393841)

(22)出願日 平成12年12月25日(2000.12.25)

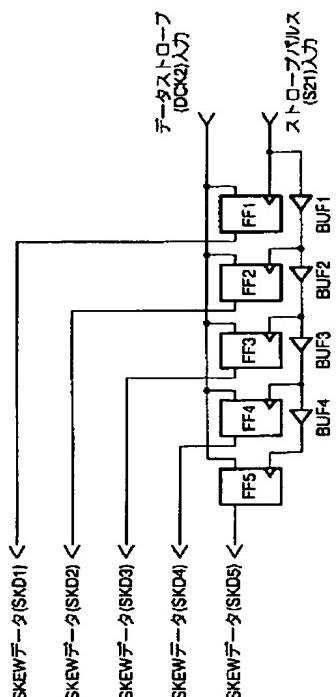
(71)出願人 000117744  
安藤電気株式会社  
東京都大田区蒲田五丁目29番3号  
(72)発明者 堀田 明  
東京都大田区蒲田4丁目19番7号 安藤電  
気株式会社内  
(72)発明者 寺山 千富  
東京都大田区蒲田4丁目19番7号 安藤電  
気株式会社内  
(74)代理人 100064908  
弁理士 志賀 正武 (外6名)  
F ターム(参考) 2G032 AB01 AC03 AD06 AE06 AE08  
AE10 AE12 AG02 AG07 AH04

(54)【発明の名称】 IC測定装置

(57)【要約】

【課題】 被測定ICの出力タイミングSKEWを測定するのに時間がかかるないIC測定装置を提供する。

【解決手段】 IC測定装置に、テストサイクルに同期したストローブバルス(S21)を出力するタイミングジェネレータと、ストローブバルス(S21)を、順次、遅延させ、それぞれのエッジの時刻が異なる、複数のストローブバルスを出力する遅延手段(BUF1~4)と、複数のストローブバルスに基づいて、1つのテストサイクル内の複数の時刻におけるデータストローブまたはデータの状態を保持する保持手段(FF1~5)と、複数の時刻におけるデータストローブまたはデータの状態に基づいて、データストローブまたはデータの状態が変化するタイミングを検出する検出手段とを設けた。



## 【特許請求の範囲】

【請求項1】 被測定ICから出力されるデータストローブまたはデータの状態が変化するタイミングを測定するIC測定装置において、このIC測定装置のテストサイクルに同期したストローブパルスを出力するタイミングジェネレータと、このタイミングジェネレータが出力したストローブパルスを、順次、遅延させ、それぞれのエッジの時刻が異なる、複数のストローブパルスを出力する遅延手段と、この遅延手段が出力した、複数のストローブパルスに基づいて、1つのテストサイクル内の複数の時刻におけるデータストローブまたはデータの状態を保持する保持手段と、この保持手段に保持された、複数の時刻におけるデータストローブまたはデータの状態に基づいて、データストローブまたはデータの状態が変化するタイミングを検出する検出手段とを有することを特徴とするIC測定装置。

【請求項2】 前記遅延手段は、継続接続された複数のバッファによって構成され、前記保持手段は、前記複数のバッファがそれぞれ出力する、複数のストローブパルスを、それぞれのクロック入力端子に入力する複数のフリップフロップによって構成されていることを特徴とする請求項1に記載のIC測定装置。

【請求項3】 前記保持手段は、1つのテストサイクル内の複数の時刻におけるデータストローブの状態を保持する第1の保持手段と、1つのテストサイクル内の複数の時刻におけるデータの状態を保持する第2の保持手段とを有することを特徴とする請求項1または2に記載のIC測定装置。

【請求項4】 前記第1の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータストローブの状態と、前記第2の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータの状態に基づいて、データストローブを基準とした、データの出力タイミングを算出する算出手段を有することを特徴とする請求項3に記載のIC測定装置。

【請求項5】 前記算出手段は、前記第1の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータストローブの状態と、前記第2の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータの状態との排他的論理和をとることにより、データストローブを基準とした、データの出力タイミングを算出することを特徴とする請求項4に記載のIC測定装置。

【請求項6】 前記第1の保持手段と、第2の保持手段とには、同一時刻にストローブパルスが入力されることを特徴とする請求項3から5のいずれかに記載のIC測定装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、IC（特にデータストローブ付きIC）を試験するIC測定装置に関する。

## 【0002】

【従来の技術】図5は、従来のIC測定装置の構成を示すブロック図であり、図6は、このIC測定装置の動作を示すタイミングチャートである。まず、IC測定装置(A1)は被測定IC(B1)にクロック(CK1)を供給し、このクロック(CK1)の周期であるテストサイクル(TC1)に同期するように、被測定IC(B1)を動作させる。

【0003】被測定IC(B1)から出力されたデータストローブ(DCK1)の出力タイミングは、IC測定装置(A1)の電圧比較器(V11)を介して論理比較器(CMP11)内のエッヂサーチ回路(E11)に入力される。エッヂサーチ回路(E11)は、タイミングジェネレータ(TG11)から出力されるストローブパルス(S11)のタイミングで、データストローブ(DCK1)をラッチする。タイミングジェネレータ(TG11)から出力されるストローブパルス(S11)のエッジのタイミングは、時刻T21～T22の範囲内で、テストサイクル(TC1)毎に、n回変化させられる。すなわち、n回の変化のためには、テストサイクル(TC1)のnサイクル分の時間が必要になる。

【0004】論理比較器(CMP11)は、ストローブパルス(S11)のエッジのタイミングで、データストローブ(DCK1)の状態をラッチし、期待値(K11)と比較する。すなわち、n回、ストローブパルス(S11)のエッジのタイミングを変化させつつ、データストローブ(DCK1)の状態をラッチし、期待値(K11)と比較する。これにより、データストローブ(DCK1)のエッジが出力されるタイミング、すなわちクロック(CK1)の立ち上がりエッジが出力される時刻T11から、データストローブ(DCK1)のエッジが出力されるまでの時間を検出する。この検出結果から、データストローブ(DCK1)のSKEW値を計算する。

【0005】同様に、データ(D11)のエッジが出力されるタイミングを、論理比較器(CMP12)によって検出し、この検出結果から、データ(D11)のSKEW値を計算する。

【0006】そして、上記の2つのSKEW値の差を求め、被測定IC(B1)のPASS/FAIL判定を行う。

## 【0007】

【発明が解決しようとする課題】上述した従来技術では、データストローブ(DCK1)のエッジが出力されるタイミングを検出するために、ストローブパルス(S

11) のエッジのタイミングでデータストローブ (DCK1) の状態をラッチし、期待値 (K11) と比較する動作をn回繰り返さなければならない。

【0008】同様に、データ (D11) のエッジが出力されるタイミングを検出するために、ストローブパルス (S12) のエッジのタイミングでデータ (D11) の状態をラッチし、期待値 (K12) と比較する動作をn回繰り返さなければならない。

【0009】さらに、被測定IC (B1) から出力されるデータが、データ (D11) のみではなく、データ (D11)、データ (D12)、…のように複数ある場合には、それぞれのデータのタイミングを検出するために、上述したn回繰り返される比較動作を、さらにデータの数だけ繰り返さなければならない。すなわち、データの数がkである場合には、上述したラッチおよび比較の動作を、 $k \times n$ 回繰り返さなければならない。

【0010】すなわち、上述した従来技術には、被測定IC (B1) が outputする被測定データ (データストローブまたはデータ) のタイミングを測定するのに時間がかかるという問題がある。

【0011】本発明は、上記の問題を解決するためになされたもので、被測定IC (B1) が outputする被測定データ (データストローブまたはデータ) のタイミングを測定するのに時間がかかるないIC測定装置を提供するものである。

#### 【0012】

【課題を解決するための手段】請求項1に記載の発明は、被測定ICから出力されるデータストローブまたはデータの状態が変化するタイミングを測定するIC測定装置において、このIC測定装置のテストサイクルに同期したストローブパルスを出力するタイミングジェネレータと、このタイミングジェネレータが outputしたストローブパルスを、順次、遅延させ、それぞれのエッジの時刻が異なる、複数のストローブパルスを出力する遅延手段と、この遅延手段が outputした、複数のストローブパルスに基づいて、1つのテストサイクル内の複数の時刻におけるデータストローブまたはデータの状態を保持する保持手段と、この保持手段に保持された、複数の時刻におけるデータストローブまたはデータの状態に基づいて、データストローブまたはデータの状態が変化するタイミングを検出する検出手段とを有することを特徴とするIC測定装置である。

【0013】請求項2に記載の発明は、前記遅延手段は、続接続された複数のバッファによって構成され、前記保持手段は、前記複数のバッファがそれぞれ出力する、複数のストローブパルスを、それぞれのクロック入力端子に入力する複数のフリップフロップによって構成されていることを特徴とする請求項1に記載のIC測定装置である。

#### 【0014】請求項3に記載の発明は、前記保持手段

は、1つのテストサイクル内の複数の時刻におけるデータストローブの状態を保持する第1の保持手段と、1つのテストサイクル内の複数の時刻におけるデータの状態を保持する第2の保持手段とを有することを特徴とする請求項1または2に記載のIC測定装置である。

【0015】請求項4に記載の発明は、前記第1の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータストローブの状態と、前記第2の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータの状態とに基づいて、データストローブを基準とした、データの出力タイミングを算出する算出手段を有することを特徴とする請求項3に記載のIC測定装置である。

【0016】請求項5に記載の発明は、前記算出手段は、前記第1の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータストローブの状態と、前記第2の保持手段に保持された、1つのテストサイクル内の複数の時刻におけるデータの状態との排他的論理和をとることにより、データストローブを基準とした、データの出力タイミングを算出することを特徴とする請求項4に記載のIC測定装置である。

【0017】請求項6に記載の発明は、前記第1の保持手段と、第2の保持手段とには、同一時刻にストローブパルスが入力されることを特徴とする請求項3から5のいずれかに記載のIC測定装置である。

【0018】本発明によれば、タイミングジェネレータからストローブパルスが1パルス出力されると、複数 (m) のタイミングにおいて被測定データ (データストローブまたはデータ) の状態が検出され、検出結果が $m$ ビットのSKEWデータとして出力されるので、1パルスのストローブパルスを含む1テストサイクルで、被測定データのエッジのタイミングが検出される。

#### 【0019】

【発明の実施の形態】図1は、本発明の一実施形態におけるIC測定装置 (A2) の構成を示すブロック図である。IC測定装置 (A2) が、被測定IC (B2) にクロック (CK2) を送ると、被測定IC (B2) は、データストローブ (DCK2)、データ (D21)、データ (D22)、…を出力する。被測定IC (B2) から出力されたデータストローブ (DCK2)、データ (D21)、データ (D22)、…は、再度、IC測定装置 (A2) に入力される。

【0020】被測定IC (B2) から出力されたデータストローブ (DCK2) は、IC測定装置 (A2) 内の電圧比較器 (V21) を介して、論理比較器 (CMP21) 内のSKEW測定回路 (SK21) に入力される。このSKEW測定回路 (SK21) には、タイミングジェネレータ (TG21) が outputするストローブパルス (S21) も入力される。そして、このSKEW測定回路 (SK21) は、5ビットのSKEWデータを論理比

50

較器(CMP21)を介してCPU(C2)へ送る。論理比較器(CMP21)は、期待値バターン(K21)を入力し、PASS/FAIL判定を出力する。

【0021】被測定IC(B2)から出力されたデータ(D21)は、IC測定装置(A2)内の電圧比較器(V22)を介して、論理比較器(CMP22)内のSKEW測定回路(SK22)に入力される。このSKEW測定回路(SK22)には、タイミングジェネレータ(TG22)が出力するストローブパルス(S22)も入力される。そして、このSKEW測定回路(SK22)は、5ビットのSKEWデータを論理比較器(CMP22)を介してCPU(C2)へ送る。論理比較器(CMP22)は、期待値バターン(K22)を入力し、PASS/FAIL判定を出力する。

【0022】被測定IC(B2)から出力されたデータ(D22)は、IC測定装置(A2)内の電圧比較器(V23)を介して、論理比較器(CMP23)内のSKEW測定回路(SK23)に入力される。このSKEW測定回路(SK23)には、タイミングジェネレータ(TG23)が出力するストローブパルス(S23)も入力される。そして、このSKEW測定回路(SK23)は、5ビットのSKEWデータを論理比較器(CMP22)を介してCPU(C2)へ送る。論理比較器(CMP22)は、期待値バターン(K22)を入力し、PASS/FAIL判定を出力する。

【0023】図2は、IC測定装置(A2)内のSKEW測定回路(SK21)の内部構成を示す回路図である。なお、SKEW測定回路(SK22)、SKEW測定回路(SK23)、…の内部構成も、SKEW測定回路(SK21)の内部構成と同一なので、これらの説明は省略する。

【0024】SKEW測定回路(SK21)に入力されたストローブパルス(S21)は、フリップフロップ(FF1)のクロック入力端子に入力されると共に、バッファ(BUF1)に入力される。バッファ(BUF1)の出力は、フリップフロップ(FF2)のクロック入力端子に入力されると共に、バッファ(BUF2)に入力される。同様に、バッファ(BUF2)の出力は、フリップフロップ(FF3)に入力されると共に、バッファ(BUF3)に入力され、バッファ(BUF3)の出力は、フリップフロップ(FF4)に入力されると共に、バッファ(BUF4)に入力される。バッファ(BUF4)の出力は、フリップフロップ(FF5)に入力される。

【0025】また、SKEW測定回路(SK21)に入力されたデータストローブ(DCK2)は、5つのフリップフロップ(FF1～FF5)のデータ入力端子に共通に入力される。5つのフリップフロップ(FF1～FF5)のデータ出力端子からは、5ビットのSKEWデータが出力される。すなわち、フリップフロップ(FF

1)のデータ出力端子からは、SKEWデータ(SKD1)が出力され、フリップフロップ(FF2)のデータ出力端子からは、SKEWデータ(SKD2)が出力され、以下同様に、フリップフロップ(FF3)からSKEWデータ(SKD3)が出力され、フリップフロップ(FF4)からSKEWデータ(SKD4)が出力され、フリップフロップ(FF5)からSKEWデータ(SKD5)が出力される。

【0026】図3は、本実施形態におけるIC測定装置(A2)の動作を示すタイミングチャートである。IC測定装置(A2)が、被測定IC(B2)にクロック(CK2)を送ると、被測定IC(B2)は、データストローブ(DCK2)、データ(D21)、データ(D22)、…を出力する。出力されたデータストローブ(DCK2)、データ(D21)、データ(D22)、…が、再度、IC測定装置(A2)に入力される。データストローブ(DCK2)、データ(D21)、データ(D22)、…の立ち上がりエッジが出力されるタイミングは、テストサイクル(TC2)内、すなわち時刻T20 31～T32の間で変化する。

【0027】まず、データストローブ(DCK2)のタイミングが測定される動作を説明する。被測定IC(B2)から出力されたデータストローブ(DCK2)は、IC測定装置(A2)内の電圧比較器(V21)を介して、論理比較器(CMP21)内のSKEW測定回路(SK21)に取り込まれる。

【0028】タイミングジェネレータ(TG21)から出力され、SKEW測定回路(SK21)に入力されるストローブパルス(S21)の立ち上がりエッジのタイミングは、テストサイクル(TC2)内の時刻T41に設定される。

【0029】SKEW測定回路(SK21)に入力されたストローブパルス(S21)は、図2に示したフリップフロップ(FF1)のクロック入力端子に入力されると共に、バッファ(BUF1)に入力される。バッファ(BUF1)の出力は、フリップフロップ(FF2)のクロック入力端子に入力されると共に、バッファ(BUF2)に入力される。同様に、バッファ(BUF2)の出力は、フリップフロップ(FF3)に入力されると共に、バッファ(BUF3)に入力され、バッファ(BUF3)の出力は、フリップフロップ(FF4)に入力されると共に、バッファ(BUF4)に入力される。バッファ(BUF4)の出力は、フリップフロップ(FF5)に入力される。

【0030】バッファ(BUF1)、バッファ(BUF2)、バッファ(BUF3)、バッファ(BUF4)の信号伝達における遅延時間は、いずれも等しい。また、これらのバッファ間の配線も、それぞれ等しい配線遅延時間をもつ。従って、バッファ(BUF1)に入力されたストローブパルス(S21)は、バッファ(BUF

1) からバッファ (BUF 4) へ伝達される過程で、順次、遅延してゆく。従って、バッファ (BUF 1) からフリップフロップ (FF 2) のクロック入力端子に送られるストローブパルスのタイミングは、時刻 T 4 1 からわずかに遅れた時刻 T 4 2 となり、バッファ (BUF 2) からフリップフロップ (FF 3) に送られるストローブパルスのタイミングは、さらに遅れた時刻 T 4 3 となり、バッファ (BUF 3) からフリップフロップ (FF 4) に送られるストローブパルスのタイミングは、さらに遅れた時刻 T 4 4 となり、バッファ (BUF 4) からフリップフロップ (FF 5) に送られるストローブパルスのタイミングは、さらに遅れた時刻 T 4 5 となる。

【0031】従って、各フリップフロップは、それぞれ、わずかに異なるタイミングでデータストローブ (DCK 2) を保持する。すなわち、フリップフロップ (FF 1) は、時刻 T 4 1 にデータストローブ (DCK 2) を保持し、フリップフロップ (FF 2) は時刻 T 4 2 に保持し、フリップフロップ (FF 3) は時刻 T 4 3 に保持し、フリップフロップ (FF 4) は時刻 T 4 4 に保持し、フリップフロップ (FF 5) は時刻 T 4 5 に保持する。そして、これらの保持された値が、5ビットのSKEWデータSKD1～5とされ、論理比較器 (CMP 2 1) を介して、CPU (C 2) に送られる。

【0032】論理比較器 (CMP 2 1) は、5ビットのSKEWデータSKD1～5から、データストローブ (DCK 1) のエッジが出力されたタイミングを検出し、また、5ビットのSKEWデータSKD1～5と、期待値パターン (K 2 1) とを比較する。

【0033】データ (D 2 1)、データ (D 2 2)、…のタイミングが測定される動作も、上述したデータストローブ (DCK 2) のタイミングが測定される動作と同様である。

【0034】図4は、測定されたSKEWデータSKD1～5と、これらのSKEWデータSKD1～5から、CPU (C 2) が算出するデータとの一例を示す図である。すなわち、CPU (C 2) は、データストローブ (DCK 2) を基準にしたSKEW値を算出する。すなわち、CPU (C 2) は、同一のストローブパルスのタイミングで保持されたSKEWデータどうし、例えば、データストローブ (DCK 2) のSKEWデータと、データ (D 2 1) のSKEWデータとの排他的論理和 (EOR) をとり、Hレベルとなるビットの数から、データストローブ (DCK 2) を基準にしたSKEW値を算出する。

【0035】例えば、データストローブ (DCK 2) のSKEWデータと、データ (D 2 2) のSKEWデータとの排他的論理和 (EOR) の結果を見ると、Hレベルとなるビットの数は1ビットであり、このビットは、時刻 T 4 3 から時刻 T 4 4 までの時間に相当している。従って、この時間を、データストローブ (DCK 2) を基

準にしたSKEW値とすればよい。

【0036】なお、測定されたSKEWデータから、ストローブパルス (S 2 1 等) の立ち上がりエッジの時刻 T 4 1 を基準にしたタイミングを算出することも可能である。

【0037】また、ストローブパルス S 2 1、S 2 2、S 2 3、…のタイミングを一致させれば、データストローブ DCK 2 およびデータ D 2 1、D 2 2、…のタイミングを同時に検出することができる。

【0038】

【発明の効果】本発明によれば、被測定 IC (特にデータストローブ付き IC) が output する被測定データ (データストローブまたはデータ) のタイミングを測定する際に、1つのテストサイクル内の複数の時刻における被測定データの状態を、1テストサイクルの期間内で検出することができるので、被測定データのタイミングを高速で測定することができ、測定時間を大幅に短縮することができる。

【図面の簡単な説明】

- 20 【図1】 本発明の一実施形態における IC 测定装置 (A 2) の構成を示すブロック図である。  
 【図2】 IC 测定装置 (A 2) 内の SKEW 测定回路 (SK 2 1) の内部構成を示す回路図である。  
 【図3】 本発明の一実施形態における IC 测定装置 (A 2) の動作を示すタイミングチャートである。  
 【図4】 測定された SKEW データと、これらの SKEW データから算出されるデータとの一例を示す図である。

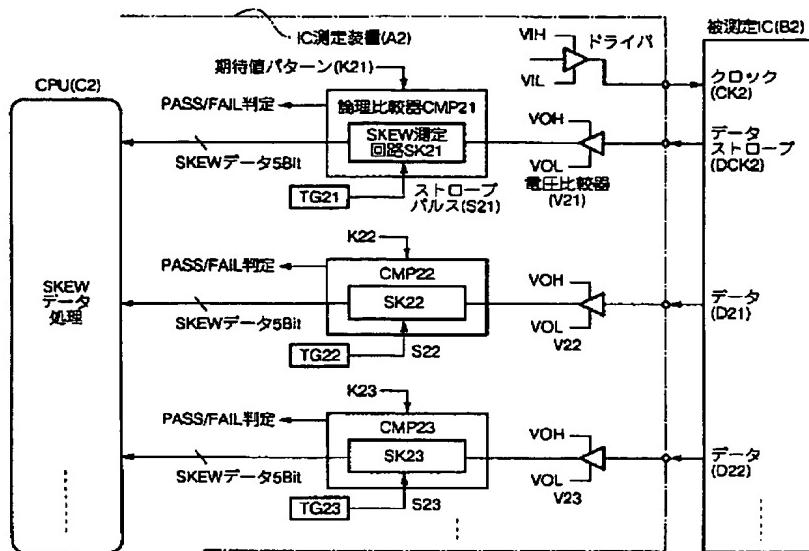
- 30 【図5】 従来の IC 测定装置の構成を示すブロック図である。  
 【図6】 従来の IC 测定装置の動作を示すタイミングチャートである。

【符号の説明】

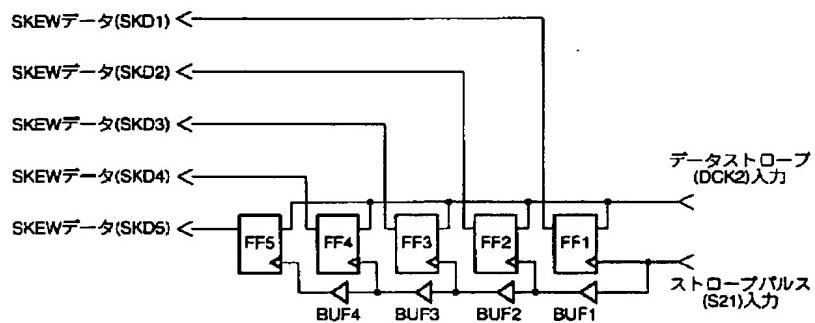
- A 1、A 2 IC 测定装置  
 B 1、B 2 被測定 IC  
 C 1、C 2 CPU  
 TG 1 1～1 3、TG 2 1～2 3 タイミングジェネレータ  
 S 1 1～1 3、S 2 1～2 3 ストローブパルス  
 40 CMP 1 1～1 3、CMP 2 1～2 3 論理比較器  
 E 1 1～1 3 エッヂサーチ回路  
 SK 2 1～2 3 SKEW 测定回路  
 SKD 1～5 SKEW データ  
 K 1 1～1 3 期待値  
 K 2 1～2 3 期待値パターン  
 V 1 1～1 3、V 2 1～2 3 電圧比較器  
 CK 1、2 クロック  
 DCK 1、2 データストローブ  
 D 1 1、1 2、2 1、2 2 データ  
 50 FF 1～5 フリップフロップ (保持手段)

## BUF1~4 バッファ (遅延手段)

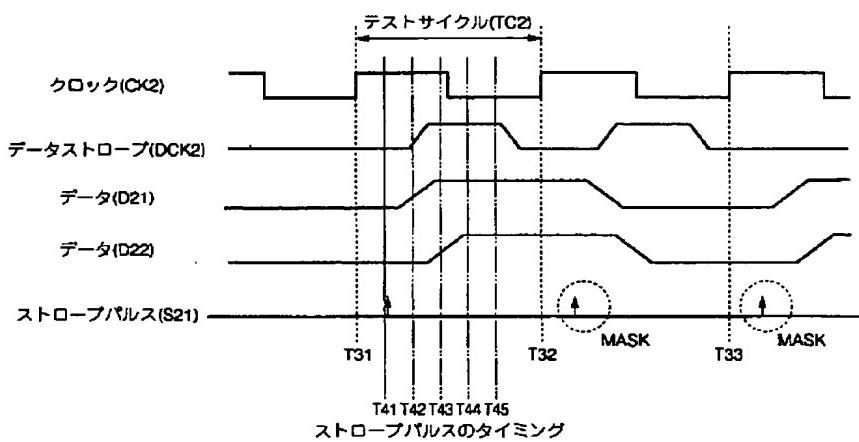
【図1】



【図2】



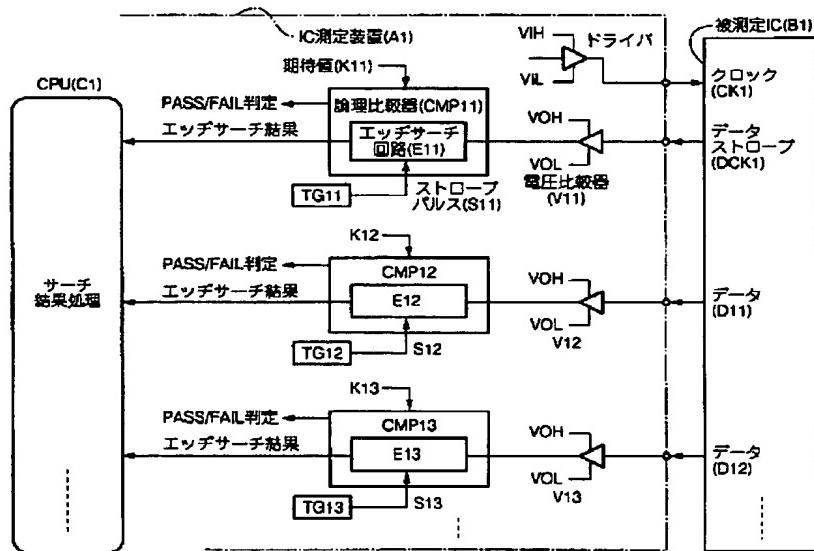
【図3】



【図4】

SKEWデータ	DCK2	D21	D22		DCK2/D21	DCK2/D22
SKD1	L	L	L	EOR比較	L	L
SKD2	L	L	L		L	L
SKD3	H	H	L		L	H
SKD4	H	H	H		L	L
SKD5	H	H	H		L	L

【図5】



【図6】

